

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000062531 A
(43)Date of publication of application: 25.10.2000

(21)Application number: 1020000005817
(22)Date of filing: 08.02.2000
(30)Priority: 09.02.1999 JP 99 31108
(51)Int. Cl. G11C 29/00

(71)Applicant: NEC CORPORATION
(72)Inventor: MAEDA KAZUNORI

(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PURPOSE: To provide a double data rate(DDR) memory in which a normal memory tester can be used at the time of a test and circuit constitution of a data input circuit is easy.

CONSTITUTION: A DDR memory is constituted of a data input circuit (102) for DDR only, a data input circuit(104) for SDR only, a word line control circuit(106), a bit line control circuit(108), and a memory cell array(110). Writing data is performed by selecting the data input circuit for DDR only at the time of a normal state and the data input circuit for SDR only at the time of a test. A test by a memory tester for a normal SDR can be performed by providing an exclusive data input circuit having two DDR memories.

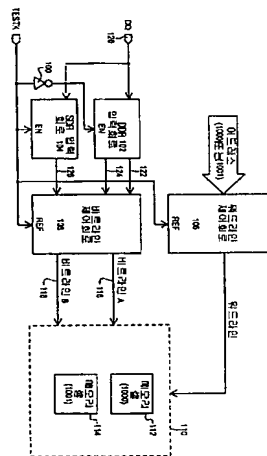
COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20011220)

Patent registration number (1003300720000)

Date of registration (20020313)



특 2000-0062531

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) Int. Cl.⁷
G11C 29/00

(11) 공개번호 특2000-0062531
(43) 공개일자 2000년10월25일

(21) 출원번호 10-2000-0005817
(22) 출원일자 2000년02월08일
(30) 우선권주장 99-31108 1999년02월09일 일본(JP)
(71) 출원인 닛뽕덴끼 가부시끼가이샤 가네코 히사시
일본 도오쿄도 미나토꾸 시바 5초메 7방 1고
(72) 발명자 마에다가즈노리
일본도오쿄도미나토꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이
(74) 대리인 박해선, 조영원

심사결과 : 있음

(54) 반도체 메모리 장치

요약

본 발명은, 테스트를 위하여 통상의 메모리 테스터 상에 구성될 수 있는 더블-데이터 레이트 (DDR) 메모리 장치를 제공한다. DDR 메모리 장치는 DDR 입력회로 (102), 싱글-데이터 레이트 입력회로 (104), 워드 라인 제어회로 (106), 비트 라인 제어회로 (108) 및 메모리 셀 어레이 (110)를 포함한다. 일반 기입 동작은 DDR 입력회로 (102)를 선택함으로써 수행된다. 테스트 기입 동작은 SDR 입력회로 (104)를 선택함으로써 수행된다. 이러한 배열은 통상의 SDR 메모리 테스터 내에서 테스트될 수 있도록 DDR 메모리 장치를 활성화시킨다.

도표도

도1

색인어

메모리 테스터, 더블-데이터 레이트 (DDR) 메모리 장치

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 반도체 장치의 블록도.

도 2는 도 1에 도시된 것과 같은 반도체 장치의 더블-데이터 레이트 (DDR) 입력회로와 싱글 데이터 레이트 (SDR) 입력회로를 도시한 회로도.

도 3은 DDR 모드 기입 동작을 나타낸 타이밍도.

도 4는 SDR 모드 기입 동작을 나타낸 타이밍도.

도 5는 종래 DDR 입력회로의 회로도.

※ 도면의 주요부분에 대한 부호의 설명

100 : 인버터

102 : DDR 전용 데이터 입력회로

104 : SDR 전용 데이터 입력회로

106 : 워드 라인 제어회로

108 : 비트 라인 제어회로

110 : 메모리 셀 어레이

112, 114 : 메모리 셀

116, 118 : 비트 라인

120 : 입력단자

122, 124, 126, 212, 214, 220 : 데이터 라인

200, 216, 500 : 초단회로

202, 204, 206, 208, 210, 218, 502, 504, 506, 508, 510 : 0-형 플립플롭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 장치에 관한 것이고, 더욱 자세하게는 더블 데이터 레이트 (DDR) 동기식 다이내믹 랜덤 액세스 메모리 (SDRAM) 를 위한 입력회로에 관한 것이다.

근래, 전자 시스템의 동작 속도와 계산 능력은 점점 증가하고 있다. 그 결과로, 더 빠른 속도 및/또는 더 큰 전송률 (transfer rate) 을 갖는 반도체 장치에 대한 요구가 이에 대응하여 증가하고 있다. 이러한 요구를 따르기 위하여, 많은 시스템들은 비동기식 DRAMs 에 대립하는 것으로서의 동기식 다이내믹 랜덤 액세스 메모리 (DRAMs) 를 이용한다. 동기식 DRAMs 은 비동기식 DRAMs 보다 더 빠른 액세스 속도 및/또는 전송률을 제공할 수 있다.

더욱 더 고속의 액세스 속도 및/또는 전송률을 달성하기 위하여, 어떤 반도체 메모리는 싱글 데이터 레이트 (SDR) 해결방법에 대립하는 것으로서의 "더블-데이터 레이트" (DDR) 를 이용한다. SDR 반도체 메모리는 클럭 신호에 동기하여 데이터 기입동작을 수행한다. 즉, 데이터를 기입할 수 있는 가장 빠른 레이트는 클럭주기마다 한 번 기입하는 레이트이다. DDR 반도체 메모리는 SDR 장치의 레이트보다 2배의 레이트로 데이터 기입 동작을 수행할 수 있다. 즉, DDR 장치에 클럭주기마다 2개의 기입동작을 수행할 수 있다. 어떤 DDR 장치는 제 1 클럭신호와 제 1 클럭신호의 반전신호인 제 2 클럭신호에 동기하여 데이터를 기입함으로써 기입동작을 매우 고속으로 수행할 수 있다.

이제, 도 5 를 참조하여, 일반적인 목적의 DDR-전용 데이터 입력회로를 도시한 블록도를 설명한다.

이 DDR-전용 데이터 입력회로는 초단회로 (500) 및 5개의 0-형 플립-플롭 (FF) 회로 (502 내지 510) 를 포함한다. 3개의 클럭신호 (CLK, CLKB 및 DQS) 에 응답하여 DDR-전용 데이터 입력회로에서의 기입동작을 수행한다.

도 5 의 입력회로는 입력단자 (DQ) 에서 데이터를 수신한다. 입력단자에서 수신된 데이터는 클럭신호 (CLK, CLKB 및 DQS) 에 응답하여 다양한 0-형 플립-플롭 (502 내지 510) 내에 래치 (latch) 된다. 각 클럭주기에 동기하여 2개의 데이터 기입 동작을 수행한다.

통상시에, DDR-형 반도체 장치는 DDR 모드에서 동작한다. 따라서, DDR-형 반도체 장치를 테스트하기 위하여, 3개의 클럭신호 (CLK, CLKB 및 DQS) 를 필요로 한다. 또한, DDR-형 반도체 장치는 입력 신호 셋-업 및 홀드 타임 등의 엄격한 타이밍 요구조건들을 가진다. 통상의 메모리 테스터는 이러한 다중 클럭신호를 생성하는 것 및/또는 더욱 엄격한 타이밍 요구조건을 만족시키는 것이 가능하지 않다. 일반적으로, 통상의 메모리 테스터는 SDR 형 메모리 장치를 테스트하도록 설계된다.

반도체 장치는 DDR 모드 및 SDR 모드에서 이용될 수 있는 입력회로를 갖는다. 그러나, 그러한 입력회로는 일반적으로 매우 복잡하다. 또한, 그러한 복잡한 회로들로 인해, 한 모드에서의 회로의 동작과 다른 모드에서의 회로의 동작이 서로 간섭하게 된다.

SDR 모드에서는 테스트할 수 있지만 DDR 모드에서 테스트하기에는 적합하지 않은 통상의 메모리 테스터가 보급되어 있는 것을 고려하면, (SDR 모드) 통상의 메모리 테스터로 테스트될 수 있는 DDR 모드를 갖는 반도체 장치를 제공하는 어떤 방법을 달성하는 것이 바람직하다. 또한, 지나치게 복잡한 회로구성 없이 그러한 반도체 장치를 제공하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

본 발명의 일 실시예에 따르면, 반도체 장치는 일반모드 (normal mode) 입력회로 및 테스트모드 (test mode) 입력회로를 포함한다. 이 일반모드 입력회로는 입력단자에 접속되고 제 1, 제 2 및 제 3 클럭신호에 응답하여 교대로 동작하는 제 1 및 제 2 래치회로를 포함한다. 입력단자에서 순차적으로 수신된 데이터는 제 1 또는 제 2 래치회로를 통하여 출력된다. 또한, 테스트모드 입력회로는 입력단자에 접속되고 제 1 클럭신호에 응답하여 동작하는 제 3 래치회로를 포함한다. 일반모드의 경우 일반모드 입력회로를 통하여 데이터를 기입하고, 테스트모드의 경우 테스트모드 입력회로를 통하여 데이터를 기입한다.

실시예들의 한 양상에 따르면, 일반모드의 경우 일반모드 입력회로를 통하여 데이터를 기입하고, 테스트모드의 경우 테스트모드 입력회로를 통하여 데이터를 기입하기 때문에, 일반모드와 테스트모드 사이에서 반도체 장치를 용이하게 구성할 수 있게 된다.

실시예들의 다른 양상에 따르면, 테스트모드 입력회로를 제공함으로써, 반도체 장치는 통상의 메모리 테스터에 의해서 달성가능한 데이터 레이트 (data rates) 보다 더 빠른 데이터 레이트로 일반모드에서의 기입동작을 제공할 수 있을 뿐만 아니라, 통상의 테스터 상에서도 이 반도체 장치를 테스트할 수 있다.

실시예들의 다른 양상에 따르면, 반도체 장치는 제 1, 제 2 및 제 3 클럭신호에 응답하여 동작하는 일반모드 입력회로 및 제 1 클럭신호에 응답하여 동작하는 테스트모드 입력회로를 포함한다. 여기서, 제 2 클럭신호와 제 1 클럭신호는 서로 상보적이다. 또한, 제 3 클럭신호는 제 1 클럭신호와 동일한 기본주기 (essential period) 를 가지지만, 제 1 클럭신호에 대해서 지연된다.

실시예들의 다른 양상에 따르면, 제 3 클럭신호는 외부로부터 인가된 클럭신호이다. 일반모드는 한

클럭신호 주기 내에 2개의 데이터 값을 기입할 수 있는 더블-데이터 레이트 (DDR) 모드이다.

블록의 구성 및 작용

이하, 첨부된 도면들을 참조하여 일 실시예에 따른 반도체 장치를 설명한다.

설명된 특정 예는 에지 트리거 (edge triggered) D-형 플립-플롭 (FFs) 을 포함한다. 에지 트리거 D-형 FFs 은 클럭 입력신호의 상승단 (leading edge) 상에 입력 값 "D"를 래치한다.

도 1 은 일 실시예에 따른 반도체 메모리 장치의 블록도를 도시한다.

이하의 설명에서, 2개의 4-비트 어드레스 (1000 또는 1001) 의 애플리케이션을 설명한다.

도 1 의 반도체 메모리 장치는 인버터 (100), 더블-데이터 레이트 (DDR) 입력회로 (102), 싱글-데이터 레이트 (SDR) 입력회로 (104), 워드라인 제어회로 (106), 비트라인 제어회로 (108) 및 메모리 셀 어레이 (110) 를 포함한다. 이 DDR 입력회로 (102) 및 SDR 입력회로 (104) 는 각각 인에이블 입력 (EN) 을 포함한다. 도 1 의 특정 배열에서, 인에이블 입력 (EN) 이 하이레벨 신호를 수신한 경우, 입력회로 (102 또는 104) 는 활성화된다. 이와는 반대로, 인에이블 입력 (EN) 이 로우레벨 신호를 수신하는 경우, 입력회로 (102 또는 104) 는 비활성화된다. 활성화된 경우, DDR 입력회로 (102) 및/또는 SDR 입력회로 (104) 는 입력신호에 응답하여 동작한다. 입력회로 (102 또는 104) 가 비활성화된 경우, 이러한 동작은 정지된다. 이로 인해, 비활성화된 입력회로 (102 및 104) 에 의해서 소비되는 전류의 양을 억제할 수 있다. 또한, 비활성화된 입력회로 (102 및 104) 는 하이 임피던스 출력을 제공할 수 있다.

메모리 셀 어레이 (110) 는 복수개의 메모리 셀 및 비트 라인을 포함하지만, 도 1 은 단지 2개의 메모리 셀 (112 및 114) 만을 도시할을 이해하여야 한다. 메모리 셀 (112) 은 어드레스 (1000) 를 가지고, 메모리 셀 (114) 은 어드레스 (1001) 를 가진다. 비트라인 A (116) 는 메모리 셀 (112) 에 접속하고, 비트라인 B (118) 는 메모리 셀 (114) 에 접속한다. 이러한 배열은 메모리 셀 그룹의 절반이 한 비트 라인 (비트라인 A; 116) 에 접속되는 동안 메모리 셀 그룹의 다른 절반이 다른 비트라인 (비트라인 B; 118) 에 접속되는 방법을 나타낸다.

워드라인 제어회로 (106) 는 수신된 워드라인 어드레스에 응답하여 메모리 셀을 선택한다. 비트라인 제어회로 (108) 는 (112 및 114 등의) 메모리 셀에 기입동작을 제어한다.

테스트 활성화신호 (TESTK) 는 SDR 입력회로 (104) 의 인에이블 입력 (EN) 에 접속되고, 인버터 (100) 에 의해서 DDR 입력회로 (102) 의 인에이블 입력 (EN) 에 접속된다. 또한, 이 테스트 활성화신호 (TESTK) 는 워드라인 제어회로 (106) 및 비트라인 제어회로 (108) 의 참조 입력에 인가된다. 입력단자 DQ (120) 는 DDR 입력회로 (102) 및 SDR 입력회로 (104) 의 입력에 접속된다.

이상, 일 실시예의 전체적인 배열을 설명했고, 이하, 이 실시예의 동작을 설명한다. 더욱 자세하게는, DDR 및 SDR 모드에서의 기입동작을 설명한다.

우선, "일반"DDR 동작을 설명한다.

일반 DDR 동작의 경우, TESTK 신호는 로우레벨이고, 비테스트 (non-test) 모드를 지시하게 된다. 그 후, 어드레스 (1000) 가 인가된다. 이제, 도 1 및 도 3 을 참조하면, 워드라인 제어회로 (106) 는 어드레스의 최하위 비트를 마스크 (mask) 함으로써, (어드레스 1000 에 대응하는) 메모리 셀 (112) 및 (어드레스 1001 에 대응하는) 메모리 셀 (114) 을 선택하게 된다.

비트라인 제어회로 (108) 는 어드레스의 최하위 비트를 식별하고, 마스크된 최하위 어드레스 비트에 응답하여, 데이터 라인 A (122) 및 B (124) 를 비트라인 A (116) 및 B (118) 에 접속한다. 예를 들어, 최하위 비트의 값이 "0"인 경우, 데이터 라인 A (122) 는 비트라인 A (116) 에 접속되고 데이터 라인 B (124) 는 비트 라인 B (118) 에 접속된다. 최하위 비트의 값이 "1"인 경우, 데이터 라인 A (122) 는 비트 라인 B (118) 에 접속되고 데이터 라인 B (124) 는 비트 라인 A (116) 에 접속된다.

이러한 방법으로, 데이터 값 (D1 및 D2) 은 메모리 셀 (112 및 114 또는 114 및 112) 에 기입된다. 또한, 데이터 값 (D1 및 D2) 이 한 클럭주기 (tck) 내에 기입될 때, 이러한 기입은 "더블"레이트로 수행된다.

다음으로, "테스트"SDR 동작을 설명한다.

SDR 동작의 경우, TESTK 신호는 하이레벨이고, 테스트모드를 지시한다. 이 예에서, 어드레스 (1000) 및 (1001) 는 다른 시각에 입력된다. 이제, 도 1 및 도 4 를 참조하면, 어드레스 (1000) 는 최초 기입 인에이블 시각 (W1) 에 입력되지만 어드레스 (1001) 는 두 번째 기입 인에이블 시각 (W2) 에 입력된다. 어드레스 (1000) 에 응답하여, 워드라인 제어회로 (106) 는 메모리 셀 (112) 을 선택하게 된다. 어드레스 (1001) 에 응답하여, 워드라인 제어회로 (106) 는 메모리 셀 (114) 을 선택하게 된다.

비트 라인 제어회로 (108) 는 어드레스의 최하위 비트를 식별하고, 최하위 어드레스 비트에 응답하여, 비트 라인 A (116) 또는 B (118) 에 데이터 라인 C (126) 를 접속한다. 예를 들어, 최하위 비트값이 "0"인 경우, 데이터 라인 C (126) 는 비트라인 A (116) 에 접속된다. 최하위 비트의 값이 "1"인 경우, 데이터 라인 C (126) 는 비트 라인 B (118) 에 접속된다.

이러한 방법으로, 데이터 값 (D1 및 D2) 은 메모리 셀 (112 및 114) 에 기입되게 된다. 또한, 이러한 기입은 데이터 값 (D1 및 D2) 이 2개의 클럭주기 (tck) 내에 기입될 때 "싱글"레이트로 수행된다.

이제 도 2 를 참조하여, DDR 입력회로 및 SDR 입력회로의 일 예를 상세하게 설명한다.

도 2 에서, DDR 입력회로는 아이템 (item; 102) 으로 도시되고, SDR 입력회로는 아이템 (item; 104) 으

로 도시된다.

이 DDR 입력회로 (102) 는 초단회로 (200) 및 D-형 FFs (202 내지 210) 을 포함한다. DDR 입력회로 (102) 에 의해서 수신된 데이터는 3개의 클럭신호 (CLK, CLKB 및 DQS) 에 응답하여 기입된다. 이 CLK 신호 및 CLKB 신호는 서로 상보적이다. DQS 신호는 동기식 DRAM 의 외부 소스로부터 수신된 클럭신호이고, 인가된 기입 데이터와 동기하게 된다.

DDR 입력회로 (102) 는 초단회로 (200) 를 포함한다. 초단회로 (200) 는 수신된 데이터 신호의 레벨을 변환한다. 일 예로서, 초단회로 (200) 는 상보형 금속-산화막-반도체 (CMOS) 레벨로 데이터 신호를 변환한다. 초단회로 (200) 의 출력은 D-형 FFs (202 및 208) 의 D 입력에 접속된다. D-형 FFs (202, 204 및 206) 은 FFs 의 한 그룹을 형성하고, D-형 FFs (208 및 210) 은 다른 그룹을 형성한다. FFs 의 각 그룹은 직렬방식 (cascade fashion) 으로 접속되며, 한 FF 의 D 입력은 그 그룹내의 전단의 FF 의 Q 출력을 수신하게 된다.

D-형 FF (204) 은, D-형 FF (202) 을 위한 홀드 타임 및 D-형 FF (206) 을 위한 셋업 타임을 보장하는 래치회로로서 기능한다.

202/204/206 그룹의 최종단 D-형 FF (206) 은 데이터 라인 A (212) 에 Q 출력을 접속한다. 208/210 그룹의 최종단 D-형 FF (210) 은 데이터 라인 B (214) 에 Q 출력을 접속한다.

도 2 의 특정 배열에서, 클럭 신호 (DQS) 는, D-형 FF (202) 의 클럭 입력 및 D-형 FF (208) 의 반전된 클럭 입력에 접속된다. 클럭신호 (CLKB) 는 D-형 FF (204) 의 클럭 입력에 접속된다. 클럭신호 (CLK) 는 D-형 FFs (206 및 210) 의 클럭입력에 접속된다.

테스트 신호 (TESTK) 는 인버터 (100) 에 의해서 초단회로 (200) 및 D-형 FFs (202, 204, 206, 208 및 210) 의 인에이블 입력 (EN) 에 접속된다.

SDR 입력회로는 초단회로 (216) 및 D-형 FF (218) 을 포함한다. 우선, 일 예로서, 초단 회로 (200) 와 마찬가지로 초단 회로 (216) 는 수신된 데이터 신호를 CMOS 레벨로 변환한다. D-형 FF (218) 은 클럭신호 (CLK) 를 수신하는 클럭입력을 갖는다. 초단회로 (216) 및 D-형 FF (218) 은 테스트 신호 (TESTK) 에 인에이블 입력을 접속한다.

이하, 도 2 의 배열에 대한 일반 기입동작을 설명한다.

일반 기입동작의 경우, TESTK 신호는 로우 레벨에 있다. 이 TESTK 신호가 로우 레벨을 갖는 경우, SDR 입력회로 (104) 의 회로들은 비활성화 되지만, DDR 입력회로 (102) 의 회로들이 활성화 된다.

다시 도 3 을 참조하면, 타이밍 차트는 DDR 모드에서의 기입동작을 나타낸다. 이 DDR 모드에서는, 3개의 클럭신호 (CLK, CLKB 및 DQS) 에 응답하여 기입동작을 수행한다. 상술한 바와 같이, 이 CLKB 신호는 클럭신호 (CLK) 의 반전신호이다. 클럭신호 (DQS) 는 외부의 소스로부터 수신되고, 기입 데이터와 동기한다. 다양한 클럭신호 (CLK, CLKB 및 DQS) 는 동일한 주파수를 갖는다.

도 3 에 도시된 바와 같이, 기입 인에이블 시간 (W1) 이 후, 데이터 값 (D1) 은 시간 T 가 지난 후에 래치된다. 한 특정 배열에서, 이 시간 주기 T 는 $t_{ck} \times 0.75 \leq T \leq t_{ck} \times 1.25$ 의 관계식을 만족하는데, tck 는 클럭신호 CLK (및 CLKB) 의 주기이다. 데이터 값 (D1 및 D2) 은 한 클럭주기 (tck) 의 간격 (interval) 내에서 단자 (DQ) 로부터 입력된다.

시간 t1 에서, 클럭신호 (DQS) 의 상승단 (leading edge) 상에, 데이터 값 (D1) 이 D-형 FF (202) 에 래치된다.

시간 t2 에서, 클럭신호 (CLKB) 의 상승단 상에, D-형 FF (202) 에 이전에 래치된 데이터 값이 D-형 FF (204) 에 래치된다.

시간 t4 에서, 클럭신호 (CLK) 의 상승단 상에, D-형 FF (204) 에 이전에 래치된 데이터 값이 D-형 FF (206) 에 래치되고, 데이터 라인 A (212) 에 출력된다.

이러한 방법으로, 첫 번째 데이터 값이 래치되고 D-형 FFs (202, 204 및 206) 을 통하여 데이터 라인 A (212) 에 전송된다.

그러나, 더블-데이터 레이트 동작에서, 두 번째 데이터 값은 데이터 라인 B (214) 에 제공된다. 도 3 에 의해서 설명된 특정 동작의 경우, 시간 t3 에서, 클럭 신호 (DQS) 의 하강단 (falling edge) 상에, 두 번째 데이터 값 (D2) 이 D-형 FF (208) 에 래치된다.

시간 t4 에서, D-형 FF (208) 에 래치된 데이터 값 (D2) 은 D-형 FF (210) 에 래치되고, 데이터 라인 B (214) 상에 출력된다.

이러한 방법으로, 두 번째 데이터 값이 래치되고 D-형 FFs (208 및 210) 을 통하여 전송된다.

도 3 에 도시된 바와 같이, DDR 모드에서, 데이터 값 (D1) 은 데이터 값 (D1) 이 래치되는 시각으로부터 한 클럭주기 동안 내에서 데이터 라인 A (212) 상에 출력된다. 동시에, 두 번째 데이터 값 (D2) 은 동일한 시간주기내에 데이터 라인 B (214) 상에 출력된다. 이러한 방법으로, DDR 모드의 경우, 한 주기 내에 2개의 데이터 값을 기입하게 된다.

이하, 도 2 의 배열에 대한 테스트 기입동작을 설명한다.

테스트 기입 동작의 경우, TESTK 신호는 하이 레벨이다. 이 TESTK 신호가 하이 레벨인 경우, SDR 입력회로 (104) 가 활성화되지만, DDR 입력회로 (102) 의 회로들은 비활성화된다.

다시, 도 4 를 참조하면, 타이밍 차트는 SDR 모드에서의 기입동작을 나타낸다. SDR 모드에서는, 클럭신호 (CLK) 에 응답하여 기입동작을 수행한다. 이는 3개의 클럭신호들을 필요로 하는, 앞서 상

습한 DDR 모드와는 대조적이다.

도 4 의 SDR 기입동작의 경우, 2개의 데이터 값 (D1 및 D2) 이 기입된다. 도 3 에 도시된 동작과는 달리, 도 4 에서, 첫 번째 데이터 값 (D1) 은 첫 번째 기입 인에이블 시각 (W1) 으로부터, 한 클럭 주기 (tck) 동안에 입력된다. 두 번째 데이터 값 (D2) 은 두 번째 기입 인에이블 시각 (W2) 으로부터 한 클럭 주기 (tck) 동안에 입력된다. 이러한 데이터 값은 단자 (DQ) 에서 입력된다.

시각 t1 에서, 데이터 값 (D1) 은 D-형 FF (218) 에 래치되고 데이터 라인 C (220) 상에 출력된다. 시각 t2 에서, 데이터 값 (D2) 은 D-형 FF (218) 에 래치되고 데이터 라인 C (220) 상에 출력된다. 이러한 방법으로, 도시된 SDR 모드에서는, 2개의 값 (D1 및 D2) 이 2개의 다른 시간에 데이터 라인 C (220) 상에 출력된다.

상술한 바와 같이, 본 발명에 따른 반도체 장치는, (로우 레벨, 예를 들어) 첫 번째 레벨에 테스트 신호 (TESTK) 를 설정함으로써 DDR 모드에서의 기입동작을 수행한다. 이 반도체는, 테스트 신호 (TESTK) 를 (하이 레벨, 예를 들어) 두 번째 레벨에 설정함으로써 SDR 모드에서의 기입동작을 수행한다.

또한, 이 실시예들은 한 회로가 DDR 모드에서 동작하도록 전념하는 동안, 다른 회로는 SDR 모드에서 동작하도록 전념하는 입력회로의 배열을 갖는 반도체 장치를 설명한다. 테스트신호에 의해서 이 회로들 간의 선택을 수행하게 된다. 이로 인해, 이 두 모드들간의 구성을 용이하게 제공할 수 있다. 이는 DDR 및 SDR 동작 모두에 이용되는 싱글 입력회로와는 대조적이다. 이러한 다중 이용 (multi-use) 은 이용하기가 더욱 복잡하고 어렵다.

따라서, DDR 또는 SDR 모드를 위해 용이하게 구성될 수 있는 입력회로를 갖는 반도체 장치를 제공한다. 이러한 배열로 인해, DDR-형 반도체 장치를 통상의 메모리 테스트로 SDR 모드에서도 테스트할 수 있게 된다. 따라서, 테스트 시간을 줄일 수 있고, 더욱 비싼 메모리 테스트를 구축 및/또는 구입할 필요가 없어지게 된다.

이상, 본 출원서에 개시된 다양한 특정 실시예들을 상세하게 설명하였지만, 본 발명의 정신 및 범위에 서 이탈함이 없이 본 발명을 다양하게 변화, 대체 및 변경할 수 있다. 따라서, 본 발명은 단지 첨부된 청구범위에 의해서 정의되는 것에만 한정되지 않는다.

발명의 효과

본 발명의 DDR 메모리 장치는 입력회로 (102), 싱글-데이터 레이트 입력회로 (104), 위드 라인 제어회로 (106), 비트 라인 제어회로 (108) 및 메모리 셀 어레이 (110) 를 포함한다. 통상의 기입 동작은 DDR 입력회로 (102) 를 선택함으로써 수행된다. 테스트 기입 동작은 SDR 입력회로 (104) 를 선택함으로써 수행된다. 그러한 배열은 통상의 SDR 메모리 테스트 내에서 테스트될 수 있도록 DDR 메모리 장치를 활성화한다. 또한, 본 발명의 메모리장치는, 데이터 입력회로의 회로구성이 용이하기 때문에 DDR 모드 또는 SDR 모드중 어떤 모드를 선택함으로써 통상시에는 DDR 모드에 의해서 테스트할 경우에는 SDR 모드에 의해서 동작하게 되어, 메모리 테스트는 통상의 메모리 테스트로 테스트를 할 수 있다. 또한, 테스트 시간을 줄일 수 있고, 더욱 비싼 메모리 테스트를 구축 및/또는 구입할 필요가 없는 효과가 있다.

(57) 청구의 범위

청구항 1. 순차적 데이터 값을 수신하는 제 1 단자;

교대로 순차적 데이터 값을 래치하는 1개 이상의 제 1 래치회로 및 1개 이상의 제 2 래치회로를 포함하고, 제 1 단자에 접속되며, 제 1, 제 2 및 제 3 클럭신호에 응답하여 1개 이상의 제 1 래치회로 및 1개 이상의 제 2 래치회로를 통하여 상기 교대로 래치된 데이터 값을 전송하는 제 1 모드 입력회로; 및

제 1 클럭신호에 응답하여 데이터를 래치하는 1개 이상의 제 3 래치회로를 포함하고, 제 1 단자에 접속된 테스트 모드 입력회로를 포함하되,

제 1 모드의 경우 제 1 모드 입력회로를 통하여 메모리 셀에 데이터를 기입하고, 테스트 모드의 경우 테스트 모드 입력회로를 통하여 메모리 셀에 데이터를 기입하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2. 제 1 항에 있어서,

제 2 클럭신호는 제 1 클럭신호의 보수 (complement) 이며,

제 3 클럭신호는 제 1 클럭신호와 동일한 일반주파수 (general frequency) 를 갖고, 제 1 클럭신호에 대하여 소정의 지연을 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3. 제 2 항에 있어서,

상기 소정의 지연은 제 1 클럭신호 주기의 약 75 % 에서 125 % 의 범위인 것을 특징으로 하는 반도체 메모리 장치.

청구항 4. 데이터 입력단자;

테스트모드에서 제 1 클럭신호의 한 주기 내에 순차적 데이터 값의 제 1 숫자를 래치하는 데이터 입력단자에 접속된 테스트 입력회로; 및

제 1 모드에서 제 1 클럭신호의 한 주기 내에 순차적 데이터 값의 제 2 숫자를 래치하는 데이터 입력단자에 접속되는 제 1 입력회로를 포함하되,

제 2 숫자가 제 1 숫자보다 큰 것을 특징으로 하는 반도체 장치.

청구항 5. 제 4 항에 있어서,

테스트 입력회로는 제 1 클럭신호에 응답하여 순차적 데이터 값을 래치하고,

제 1 입력회로는

적어도 제 1 클럭신호에 응답하여 한 데이터 값을 전송하는 제 1 데이터 경로; 및

적어도 제 2 클럭신호에 응답하여 다른 데이터 값을 전송하는 제 2 데이터 경로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 6. 제 5 항에 있어서,

제 1 데이터 경로는 제 1 클럭 신호 및 제 2 클럭 신호에 응답하여 한 데이터 값을 전송하고,

제 2 클럭 신호는 제 1 클럭 신호의 반전신호인 것을 특징으로 하는 반도체 장치.

청구항 7. 제 5 항에 있어서,

제 1 데이터 경로는 직렬로 배열된 복수개의 제 1 그룹 D-형 플립-플롭 (FF) 회로를 포함하고,

제 2 데이터 경로는 직렬로 배열된 복수개의 제 2 그룹 D-형 FFs 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8. 제 7 항에 있어서,

제 1 그룹 D-형 FFs 은 제 3 클럭신호에 응답하여 데이터를 래치하는 제 1 그룹 입력 D-형 FF 을 포함하고,

제 2 그룹 D-형 FFs 은 제 3 클럭신호에 응답하여 데이터를 래치하는 제 2 그룹 입력 D-형 FF 을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9. 제 7 항에 있어서,

제 1 그룹 D-형 FFs 은 제 1 클럭신호에 응답하여 래치된 데이터를 출력하는 제 1 그룹 출력 D-형 FF 을 포함하고,

제 2 그룹 D-형 FFs 은 제 1 클럭신호에 응답하여 래치된 데이터를 출력하는 제 2 그룹 출력 D-형 FF 을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 10. 제 4 항에 있어서,

데이터 입력단자는 초단회로에 의해서 제 1 데이터 경로 및 제 2 데이터 경로에 접속되며,

초단회로는 데이터 입력 값을 소정의 레벨로 구동하는 것을 특징으로 하는 반도체 장치.

청구항 11. 제 10 항에 있어서,

상기 소정의 레벨은 상보형 금속-산화막-반도체 (CMOS) 레벨인 것을 특징으로 하는 반도체 장치.

청구항 12. 제 4 항에 있어서,

테스트 입력회로는 제 1 클럭신호에 응답하여 데이터 입력단자에서 순차적 데이터 값을 래치하고,

제 1 입력회로는 제 3 클럭신호에 응답하여 데이터 입력단자에서 순차적 데이터 값을 래치하는 것을 특징으로 하는 반도체 장치.

청구항 13. 제 4 항에 있어서,

테스트 입력회로는 제 1 클럭신호에 응답하여 순차적 데이터를 래치하는 D-형 플립-플롭 (FF) 을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 14. 제 1 클럭신호에 응답하여 제 1 레이트로 데이터 입력단자로부터 데이터를 래치하는 테스트 입력회로; 및

제 3 클럭신호에 응답하여 제 1 레이트보다 빠른 제 2 레이트로 데이터 입력단자로부터 데이터를 래치하는 제 1 입력회로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 15. 제 14 항에 있어서,

테스트 신호가 제 1 값을 갖는 경우 테스트 입력회로는 활성화되고, 테스트 신호가 제 2 값을 갖는 경우 테스트 입력회로는 비활성화되며,

테스트 신호가 제 1 값을 갖는 경우 제 1 입력회로는 비활성화되고, 테스트 신호가 제 2 값을 갖는 경우 제 1 입력회로는 활성화되는 것을 특징으로 하는 반도체 장치.

청구항 16. 제 14 항에 있어서,

테스트 입력회로는

데이터 입력단자에 접속된 입력 및 제 1 클럭신호에 접속된 제어 입력을 갖는 테스트 래칭회로 (latching circuit) 를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 17. 제 16 항에 있어서,

테스트 입력회로는 테스트 래칭회로에 데이터 입력단자를 접속하는 테스트 초단회로를 포함하고,

테스트 초단회로는 입력신호 값을 소정의 레벨로 전송하는 것을 특징으로 하는 반도체 장치.

청구항 18. 제 14 항에 있어서,

제 1 입력회로는

제 1 클럭신호에 접속되는 제어 입력을 갖는 제 1 경로 래칭회로를 갖는 제 1 데이터 경로; 및

제 1 클럭신호에 접속되는 제어 입력을 갖는 제 2 경로 래칭회로를 갖는 제 2 데이터 경로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 19. 제 18 항에 있어서,

제 1 데이터 경로는 제 3 클럭신호에 접속되는 제어 입력을 갖는 제 1 경로 입력 래칭회로를 포함하고,

제 2 데이터 경로는 제 3 클럭신호에 접속되는 제어 입력을 갖는 제 2 경로 입력 래칭회로를 포함하는 것을 특징으로 하는 반도체 장치.

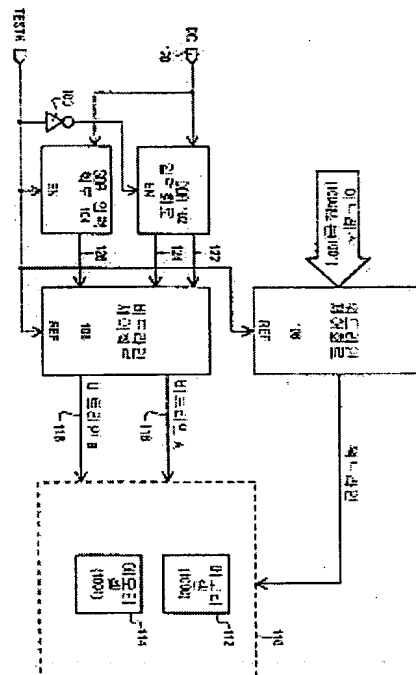
청구항 20. 제 19 항에 있어서,

제 1 데이터 경로는

제 2 클럭신호에 접속되는 제어 입력을 갖는 전송 래칭회로 (transfer latching circuit) 를 포함하는 것을 특징으로 하는 반도체 장치.

도면

도면1



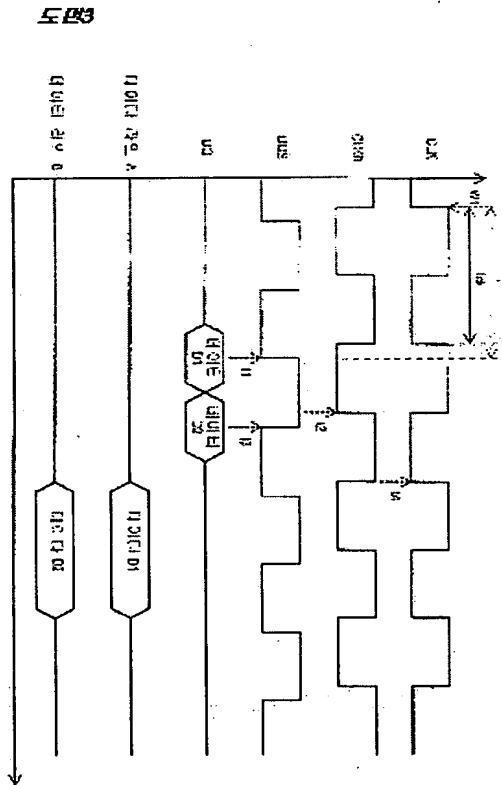
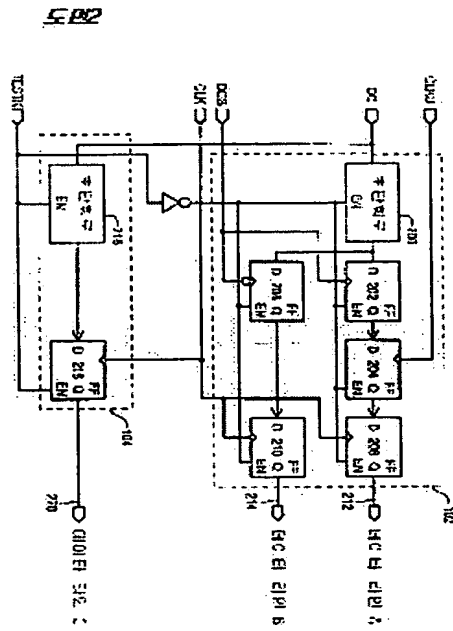


FIG 4

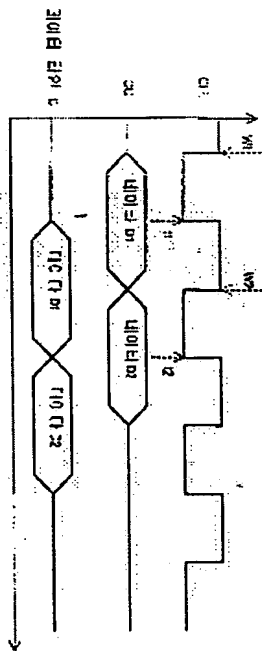


FIG 5

